# C 语言程序设计

## 一、试卷满分及考试时间

试卷满分为 100 分，考试时间为 120 分钟.

## 二、答题方式

答题方式为闭卷、笔试.

## 三、试卷内容结构

1. 简单的顺序语句函数编程

2. 结构体、指针、数组

3. 循环、条件表达式

4. 经典算法、函数

## 四、试卷题型结构

1. 单选题 10 小题，每题 2 分，共 20 分

2. 填空题 10 空，每空 2 分，共 20 分

3. 编程题 5 小题，共 60 分.

## 考试内容及要求：

一、 C 语言程序的基本结构

1. 程序的构成、main 函数和其他函数

2. 头文件、数据说明、函数的开始和结束标志以及程序中的注释

3. 源程序的书写格式

二、数据类型及其运算

1. C 的数据类型(基本类型、构造类型、指针类型)及其定义方法

2. C 运算符的种类、运算优先级

3. 不同类型数据间的转换与运算

4. C 表达式类型(赋值表达式、算术表达式、关系表达式、逻辑表达式、条件表达式)

三、基本语句

1. 输入输出函数的调用，正确输入数据并正确设计输出格式

2. 表达式语句、复合语句

四、程序结构设计

1. 选择结构的关键字选择及其嵌套(if、switch)

2. 循环结构的关键字选择及其嵌套(for、while、do-while、continue 语句和 break 语句)

五、数组的定义和引用以及与指针的相结合

1. 一维数组和二维数组的定义、初始化和数组元素的引用

2. 字符串与字符数组

3. 一维、二维数组和字符串的地址以及指向变量、数组、字符串的指针的使用

六、函数

1. 库函数的调用

2. 函数的原型声明、函数调用、函数定义

3. 形式参数与实际参数以及参数的传递

4. 函数的嵌套调用，递归调用

5. 局部变量和全局变量

6. 变量的存储类别(自动，静态，寄存器，外部)，变量的作用域和生存期

七、编译预处理

1. 宏定义和调用(不带参数的宏，带参数的宏)

2. 文件包含

八、结构体

1. 结构体类型数据的定义和成员的引用

2. 结构体的指针的使用

九、位运算

1. 位运算的含义和使用

2. 简单的位运算

## 考试要求

1. 熟悉 C 语言编程环境和基本的上机调试

2. 熟练掌握变量、数据类型、表达式、赋值等

3. 了解数据在内存中的存储位置和表示

4. 熟悉 C 语言的基本语法和语义

5. 熟悉使用 C 语言中的条件和循环结构

6. 熟练使用数组、指针和字符串的处理

7. 熟练使用函数的原型声明、函数调用、函数定义

8. 理解掌握预处理命令(宏定义、文件包含)

9. 学会使用位运算进行程序的开发编写

10. 了解并熟悉经典的算法，能够使用 C 语言实现

# 硬件描述语言

## 一、试卷满分及考试时间

试卷满分为 100 分，考试时间为 120 分钟。

## 二、答题方式

答题方式为闭卷、笔试。

## 三、试卷内容结构

1. Verilog的基本语法和语句

2. 设计流程、不同层次建模的应用场合、验证、综合的概念及意义

3. 采用适当语句对电路进行门级、数据流级、行为级建模并验证

## 四、试卷题型结构

1. 填空题 10 空，每空 2 分，共 20 分

2. 简述题 4 小题，每题 5 分，共 20 分

3. 编程题 5 小题，共 60 分.

## 考试内容：

一、设计方法学

1. 自顶向下（Top\_Down）设计的基本概念

2. 采用硬件描述语言的设计流程

二、Verilog HDL基本语法

1. Verilog HDL语法要素，包括标识符、格式、编译指令、数值表示、数据类型、参数定义等

2. Verilog HDL表达式构成，包括操作符、操作数、表达式构成等

三、Verilog HDL门级建模

1. Verilog HDL门级原语使用

2. 使用可综合原语对电路进行门级建模

四、Verilog的层次化建模方法

1. 层次化建模方法，层次化命名

2. 实例化语句，顺序端口连接、命名端口连接

五、Verilog HDL数据流建模

1. 连续性赋值语句（assign）

2. 使用assign语句对组合逻辑电路建模

六、Verilog HDL行为级建模

1. 行为级描述语句，包括过程语句、时序控制、块语句、任务和函数、阻塞与非阻塞、条件分支语句。

2. 使用Verilog HDL对并行加法器、乘法器、计数器等简单组合逻辑电路进行行为级建模

七、验证

1.采用激励、响应的验证方法。

2.编写testbench对待测设计进行验证。

八、综合

1.综合的概念及意义

2.可综合编码风格

## 考试要求：

1. 掌握采用Verilog HDL的设计流程

2. 掌握Verilog基本语法

3. 掌握门级建模方法

4. 掌握层次化命名及实例化方法

5. 掌握使用assign语句进行电路建模

6. 掌握使用行为语句进行电路建模

7. 掌握使用测试平台对待测设计进行验证

8. 掌握综合的基本概念及电路在不同设计阶段的表现形式

9. 掌握可综合编码风格